

SPECIFICATION

MODEL: B10007-LAP-SVID-M

PART NO : _____

VERSION : V1.04

Approver		Check	Design
GM	PM		

Customer Confirm

目錄

1	軟體註冊	3
2	人機介面	6
3	使用說明	10

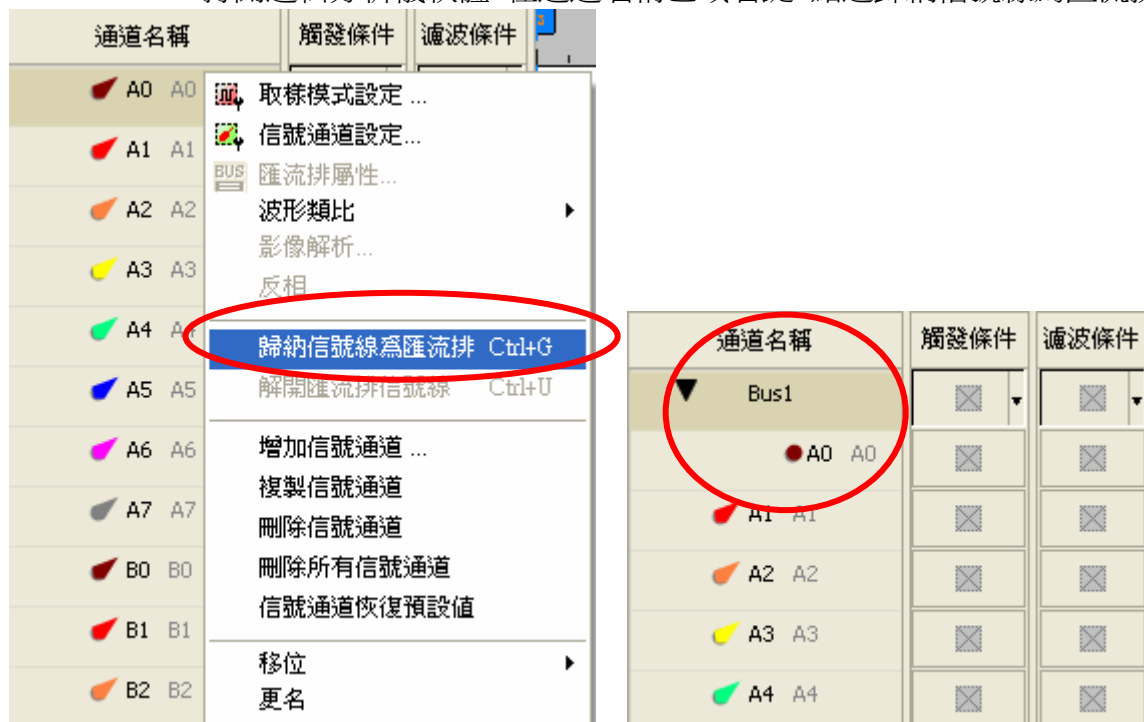
1 軟體註冊

軟體註冊請依照下列步驟進行註冊。

※ 注 1：所有匯流排註冊方式皆相同，註冊時依照流程即可，下圖註冊以 BUS 匯流排協定為範例，藉以參考。

※ 注 2：本說明書若有任何改動恕不另行通知。因模組版本升級而造成的與本說明書不符，以模組軟體為準。

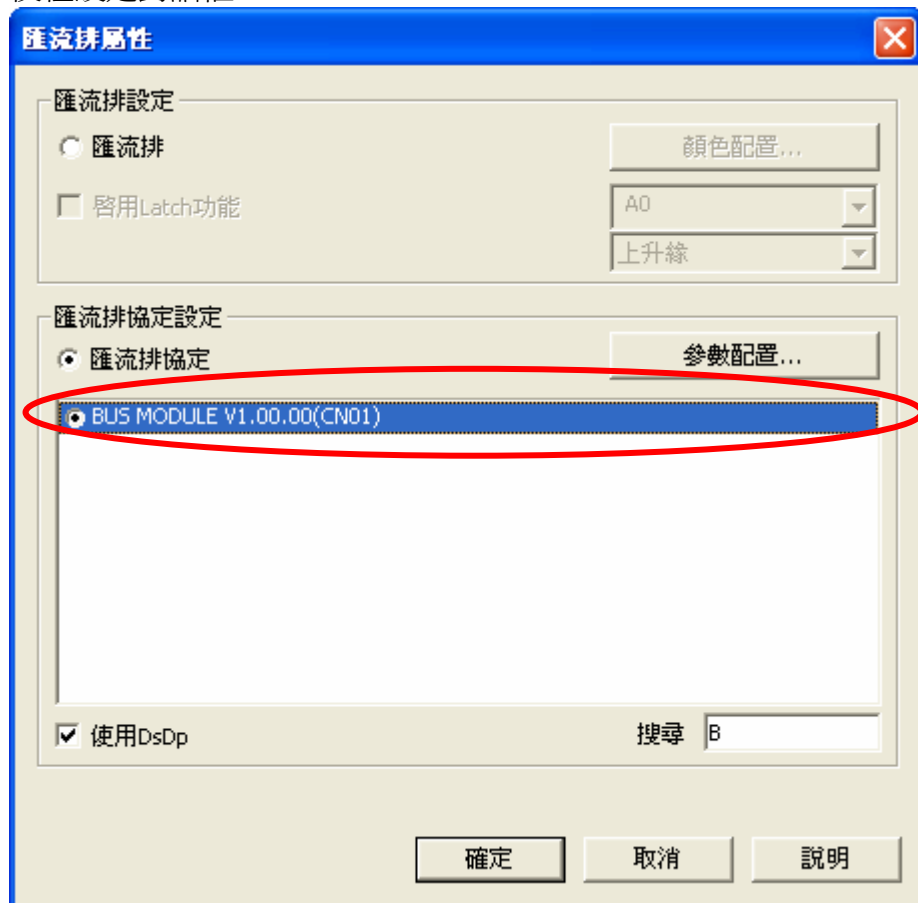
STEP 1. 打開邏輯分析儀軟體，在通道名稱區域右鍵，點選歸納信號線為匯流排，把 A0 歸納為 Bus1。



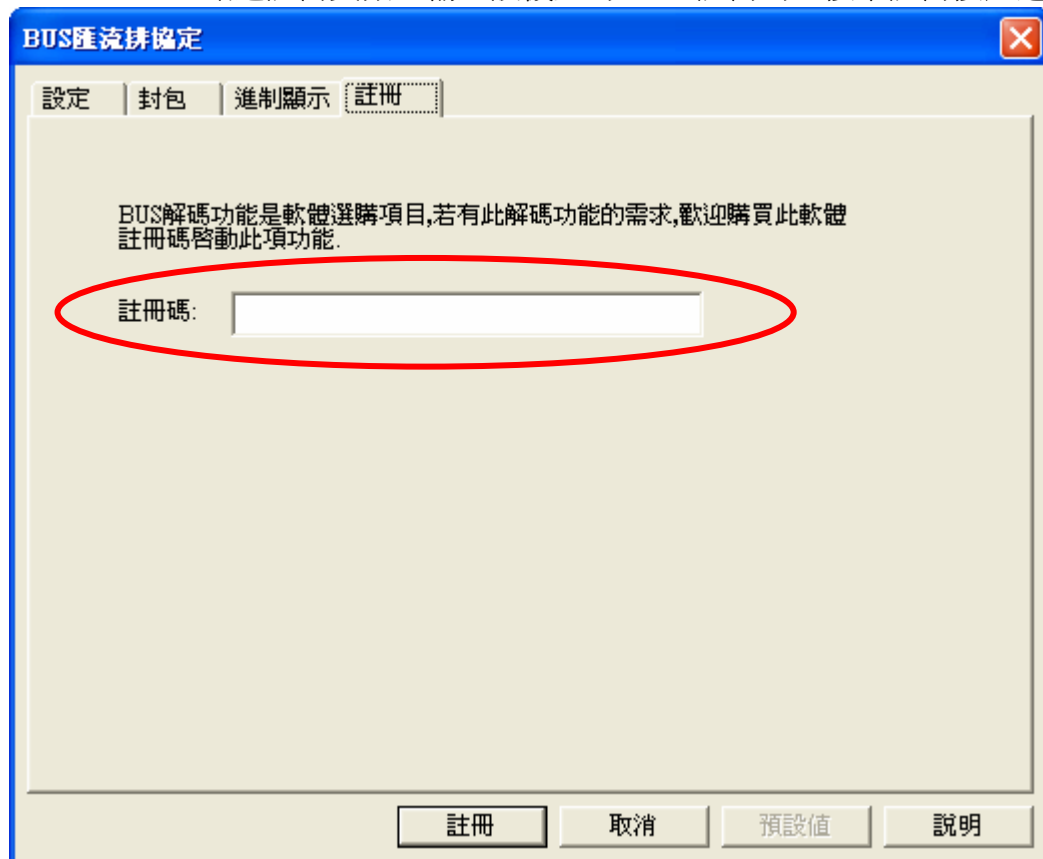
STEP 2. 選擇 Bus1，再在通道區域右鍵，點選匯流排屬性，調出匯流排屬性對話框。



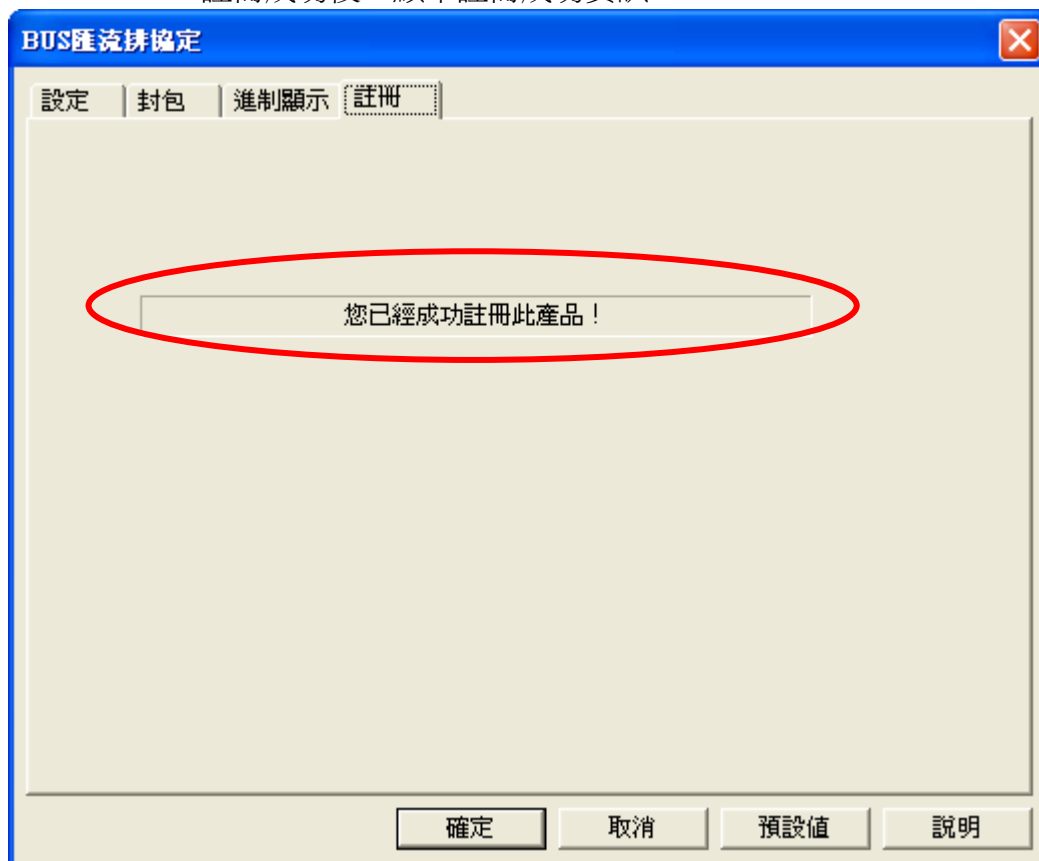
STEP 3. 在匯流排屬性對話框，點選 BUS MODULE V1.00.00(CN01)，再單擊參數配置按鈕調出該模組設定對話框。



STEP 4. 點選註冊頁籤，輸入該機型的 BUS 註冊碼，按下註冊按鈕進行註冊。



STEP 5. 註冊成功後，顯示註冊成功資訊。



2 人機介面

在設定頁，相關設定可參考下圖介面。

設定頁

通道設定

SVID 為 2 線或 3 線解碼。

VCLK：時脈通道，低壓汲極開路腳，由主機驅動，最大的時脈頻率為 26.25MHZ。

VDIO：資料通道，也是汲極開路腳，並上拉 55 歐左右的電阻，既可以作輸入，又可以作輸出。

ALERT：預設不勾選。設備驅動輸出有效線，用於控制解碼 Slave Payload,即只有在解碼 GetReg=0x07 時，ALERT 為低準位，才可解碼 Slave Payload，由設備驅動輸出。

匯流排協定設定

待命時間：用於判斷解碼起始點，可以設定為一個完整時脈週期。

自動：首先除去 VCLK 波形中最前與最後一段不計，然後在 VCLK 前 50 段脈衝中查找，如果不足 50 段，有多少找多少段，計為 N。N≤1，待命時間為預設的 500NS；否則找到這 N 段中最小的 N/2 段，累加時間 T；取這 N/2 時間的平均值 2*T/N，得到 t。2*t 即顯示為待命時間。

同位檢查[P1:P2]：有兩個檢查位元，可以設定四組同位檢查，分別為：Even:Even（預設），Even:Odd，Odd:Odd，Odd:Even。

VID Code 格式：可以解碼格式為數值或電壓。在電壓選項下，有 VR12, VR12.5 或 VR12.6 可供選擇。

匯流排協定顏色：用於設定封包的顏色，使用者可自行設定。

封包頁



項目	顏色	項目	顏色
<input checked="" type="checkbox"/> Start		<input checked="" type="checkbox"/> Turn Around	
<input checked="" type="checkbox"/> Address		<input checked="" type="checkbox"/> Acknowledge	
<input checked="" type="checkbox"/> Command		<input checked="" type="checkbox"/> Slave Payload	
<input checked="" type="checkbox"/> Master Payload		<input checked="" type="checkbox"/> End	
<input checked="" type="checkbox"/> Parity		<input checked="" type="checkbox"/> Describe	

封包部分可依使用者需要，選擇是否顯示各項目及相關顏色進行設定。

進制顯示



☒ 啓動

Address: ☐ 二進制 ☐ 十進制 ☒ 十六進制 ☐ ASCII

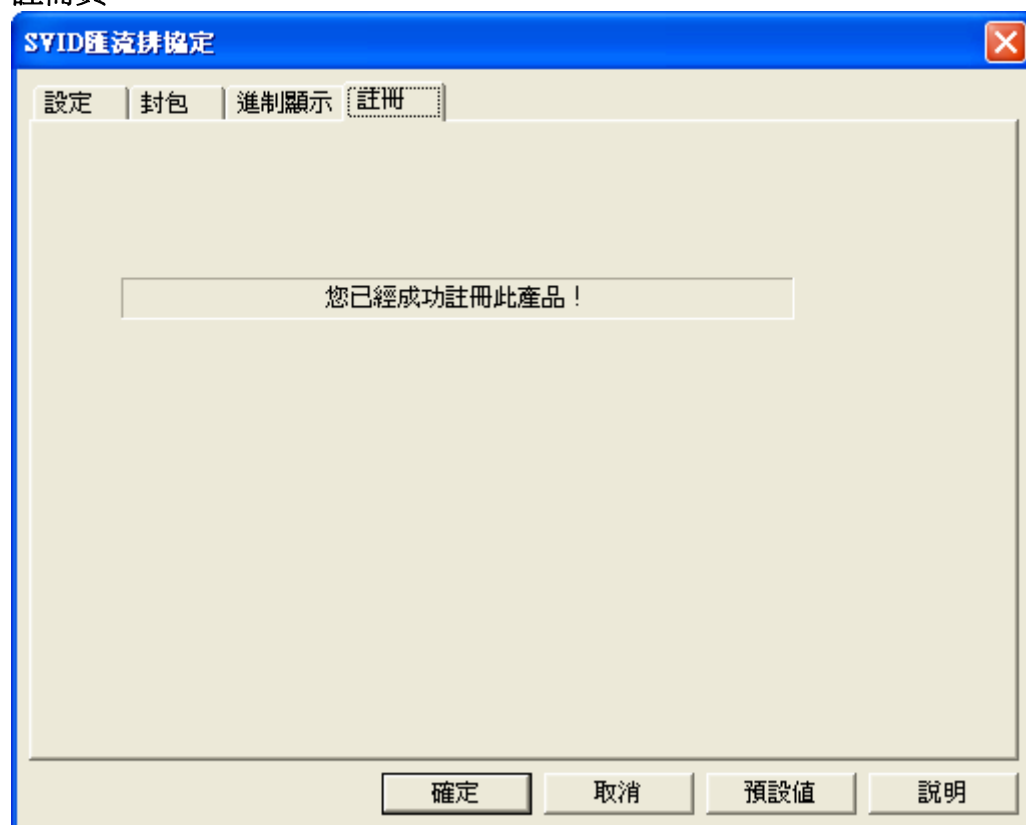
Command: ☐ 二進制 ☐ 十進制 ☒ 十六進制 ☐ ASCII

Master Payload: ☐ 二進制 ☐ 十進制 ☒ 十六進制 ☐ ASCII

Slave Payload: ☐ 二進制 ☐ 十進制 ☒ 十六進制 ☐ ASCII

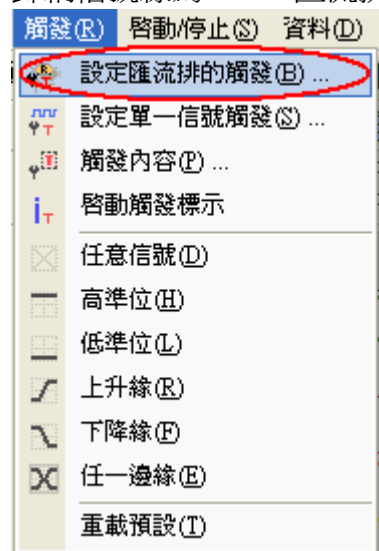
Address, Command, Master Payload, Slave Payload 封包使用者可自定義進制顯示，當啓動自定義進制顯示時，以模組進制顯示設定為準，不啓用時，以主程式設定資料格式為準。

註冊頁



硬體觸發介面

歸納信號線為 SVID 匯流排後，單擊觸發功能表下的設定匯流排的觸發，即可調出硬體觸發功能介面。



硬體觸發設定

P1 P2 P3 P4 P5 P6 P7 P8 P9 P10

☐ 啟動

Address Don't Care == 0	Command Don't Care == 0	Extend Command Don't Care == 0	Master PayLaod Don't Care == 0	Parity Don't Care	End Don't Care
Turn around Don't Care	Acknowledge Don't Care	Slave PayLoad Don't Care == 0	Parity Don't Care	Turn around Don't Care	

預覽

Start Don't Care Don't Care Don't Care Don't Care

Don't Care Don't Care Don't Care

確定 取消 預設值

介面說明：

- (1) Packet：P1～P10 可以設定共 10 個封包觸發。
- (2) 啟動：啓用該組封包觸發。
- (3) Address、Command、Extend Command、Master PayLoad、Slave PayLoad：這個項目都有 Don't Care 和 Value 兩個選項；選擇 Don't Care 表示該選項觸發資料隨機觸發，選擇 Value 表示觸發的資料以使用者自定義輸入的資料為標準。
- (4) Extend Command：只有當 Command 值等於 0x00 時才被啓用，其餘時刻不被啓用。
- (5) Parity1 和 Parity2：有 Don't Care、0 和 1 三個選項；選擇 Don't Care 表示觸發按照隨機觸發資料規律設定的資料；選擇 0 或 1 表示觸發資料為目前設定的資料。
- (6) End：有 Don't Care 和 End 兩個選項；選擇 Don't Care 表示觸發 End 可以任意觸發，選擇 End 表示觸發要按照 011 的格式觸發。
- (7) Turn Around：有 Don't Care 和 Turn Around 兩個選項；選擇 Don't Care 表示觸發 Turn Around 可以任意觸發，選擇 Turn Around 表示觸發要按照 11 的格式觸發。
- (8) Acknowledge：有 Don't Care、Ack one、NAK、ACK 和 Reject 五個選項。
- (9) Slave PayLoad、Parity2、Turn Around2 在兩線時，只有在 Command 值為 0x07 的情況下才能進行觸發設置，在三線時，只有在當 Command 值為 0x07 時且 Alert 處於低準位的情況下才能進行觸發設置。
- (10) 當初始的資料有兩組封包以上，那麼最後一組封包之前的封包設定都要觸發，比如，P1 和 P2 都啓用，那麼 P1 中在 Preview 顯示出來的封包（包括 Don't Care 的封包）均要觸發。
- (11) 觸發資料的 bit 位元總數不能超過 256 bits。
- (12) 預覽：以封包圖形方式顯示目前觸發設定。

3 使用說明

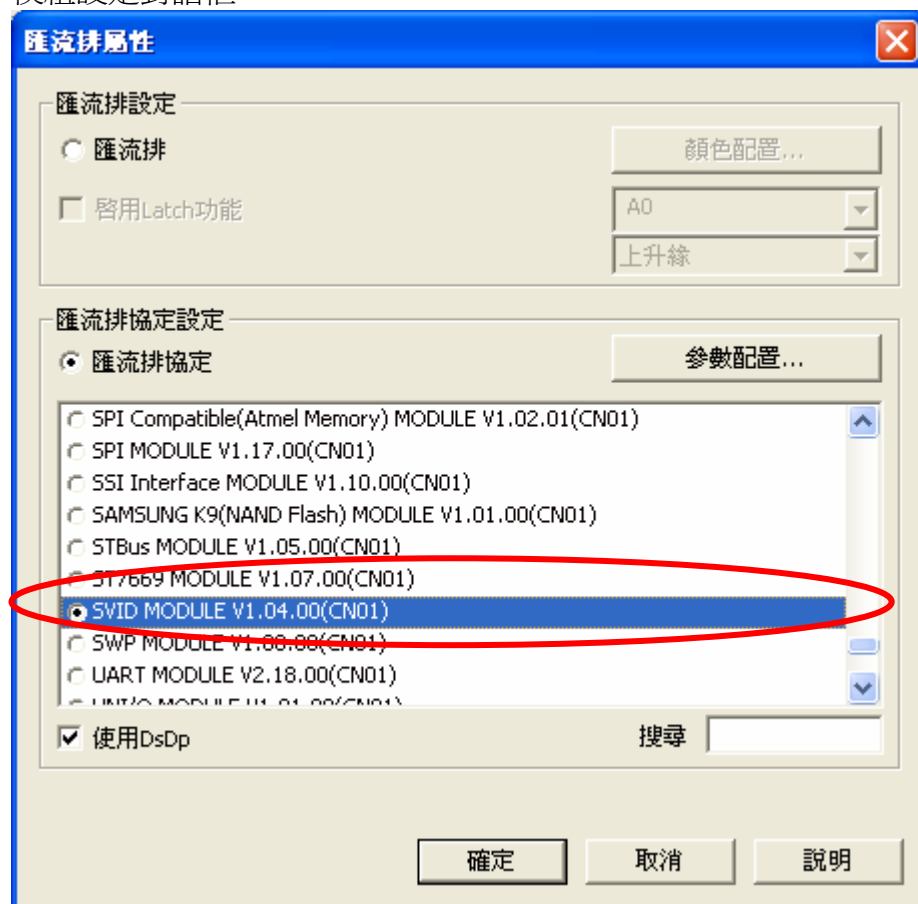
STEP 1. 在通道名稱區域右鍵，點選歸納信號線為匯流排，把 A0~A1 歸納為 Bus1，SVID 匯流排協定至少需要 2 線解碼。



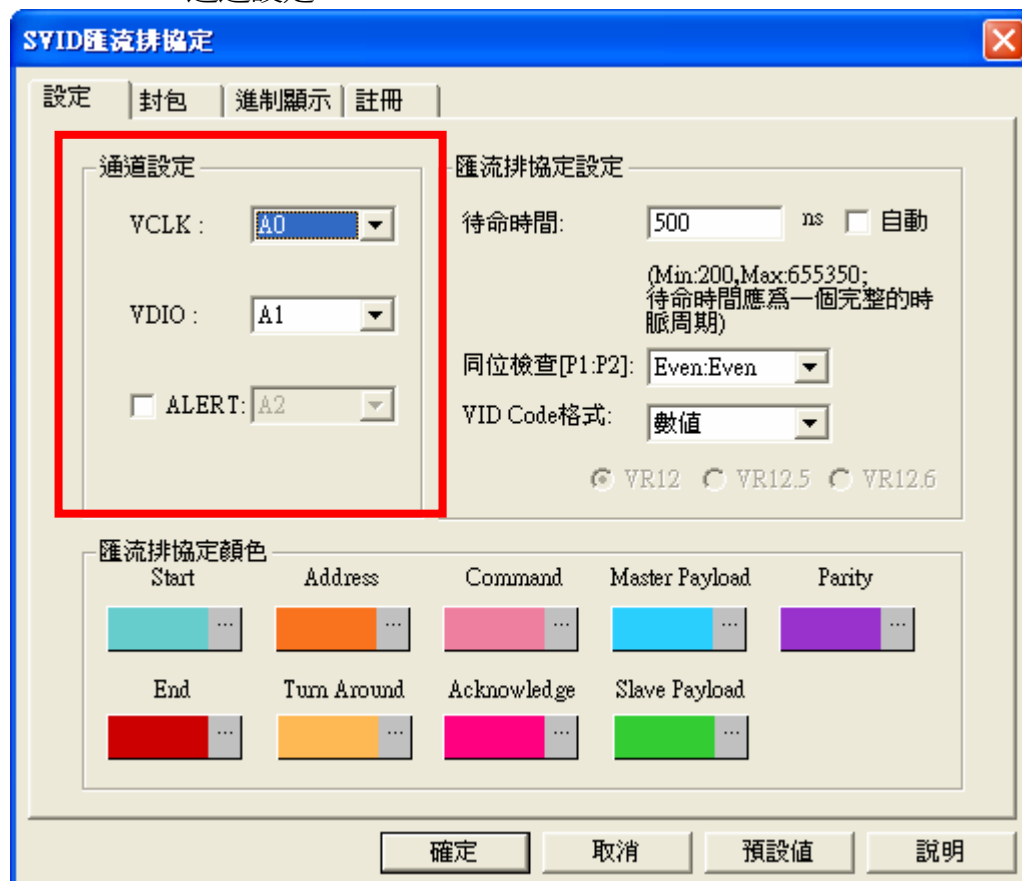
STEP 2. 選擇 Bus1，再在通道區域右鍵，點選匯流排屬性，調出匯流排屬性對話框。



STEP 3. 在匯流排屬性對話框，點選 SVID MODULE V1.04.00(CN01)，再單擊參數配置按鈕調出該模組設定對話框。



STEP 4. 通道設定。



STEP 5. 匯流排協定設定。

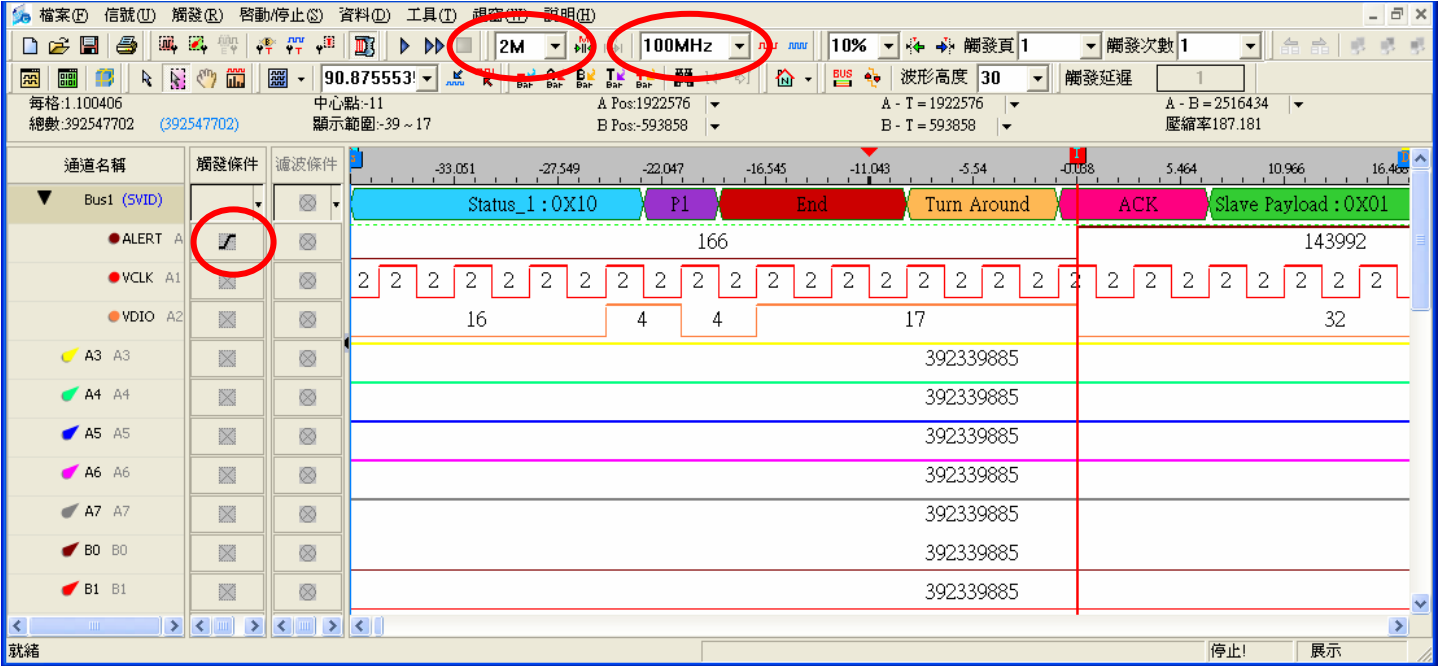


STEP 6. 匯流排協定顏色設定。



STEP 7. 匯流排協定模組解碼完成圖示，設定條件為上升緣，記憶深度為 2M，取樣頻率為 100MHz。（取樣頻率最好是待測訊號的 4 倍以上）

匯流排協定解碼



封包列表

